



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05218295 A**(43) Date of publication of application: **27.08.93**

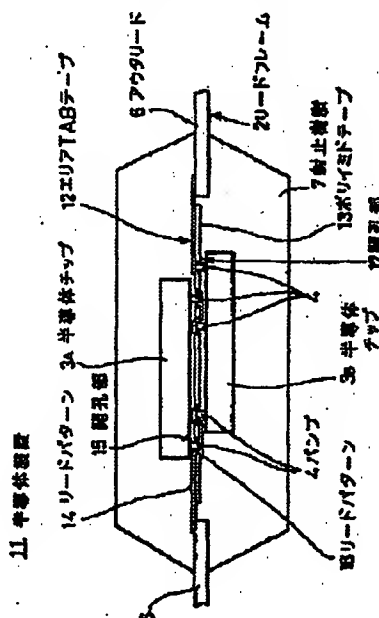
(51) Int. Cl.

H01L 25/065**H01L 25/07****H01L 25/18**(21) Application number: **04018948**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **04.02.92**(72) Inventor: **TAKENAKA MASAJI****(54) SEMICONDUCTOR DEVICE****(57) Abstract:**

PURPOSE: To reduce wiring space between semiconductor chips and leads, and obtain a miniaturized semiconductor device, regarding a semiconductor device having a plurality of semiconductor chips in a package.

CONSTITUTION: Two semiconductor chips 3A, 3B are so arranged that the surfaces face each other, and an area TAB tape 12 is arranged between the two semiconductor chips 3A, 3B. The area TAB tape 12 is connected with bumps 4 formed on the semiconductor chips 3A, 3B, and end portions of the area TAB tape 12 are connected with outer leads 6. The semiconductor chips 3A, 3B and the area TAB tape 12 are resin-sealed with sealing resin 7. Thereby a semiconductor device 11 is constituted.

COPYRIGHT: (C)1993,JPO&Japio



特開平5-218295

(43) 公開日 平成5年(1993)8月27日

(51) Int. Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 25/065				
25/07				
25/18		7220-4M	H 0 1 L 25/08	Z

審査請求 未請求 請求項の数 2 (全 6 頁)

(21) 出願番号 特願平4-18948
 (22) 出願日 平成4年(1992)2月4日

(71) 出願人 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中1015番地
 (72) 発明者 竹中 正司
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内
 (74) 代理人 弁理士 伊東 忠彦 (外2名)

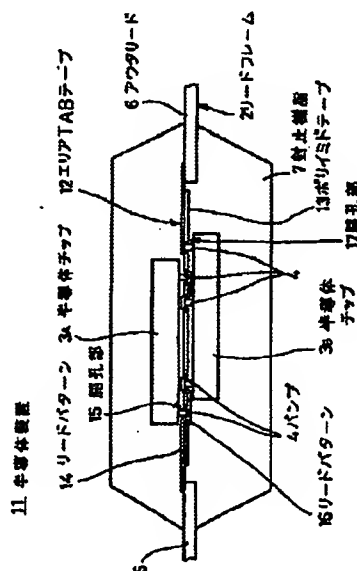
(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 本発明は、複数の半導体チップを一つのパッケージ内に有する半導体装置に関し、半導体チップとリードとの配線用のスペースを減少させ、小型化された半導体装置を提供することを目的とする。

【構成】 2つの半導体チップ3_a、3_bをその表面が対向するように配置し、これ等2つの半導体チップ3_a、3_bの間にエアータブテープ12を配置する。エアータブテープ12と半導体チップ3_a、3_bに形成されたパンプ4とを接続し、エアータブテープ12の端部とアウトリード6とを接続する。半導体チップ3_a、3_bとエアータブテープ12とを封止樹脂7により樹脂封止して半導体装置を構成する。

本発明の一実施例の構成図



【特許請求の範囲】

【請求項1】 2つの半導体チップ（3_a、3_b）が上下に位置し、且つ素子の形成された表面が互に対向するように配置され、該2つの半導体チップ（3_a、3_b）の間に両面に配線（14、16）が形成されたテープ（12）が配置されており、該各々の半導体チップ（3_a、3_b）と外部とを接続するリード（6）とが該テープ（12）により接続され、封止樹脂（7）により樹脂封止されていることを特徴とする半導体装置。

【請求項2】 前記テープ（12）は基材（13）に貫通孔（15、17）を有しており、該貫通孔（15、17）の側面に形成された配線（18）により前記テープ（12）の両面に形成された配線（14、16）が接続され、前記半導体チップ（3_a、3_b）同士が電気的に接続されていることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に係り、特に複数の半導体チップを有する半導体装置に関する。

【0002】 近年、電子機器等の小型軽量化、及び高性能化が益々要求されてきており、これ等電子機器に使用される半導体装置の小型化が進められている。

【0003】 この半導体装置の小型化の一つの方法として、絶縁性を有したテープに半導体チップを搭載し、テープ上に配線を施したエリアTAB（Tape Automated Bonding）方式を使用した半導体装置が注目され、実用化が進められている。

【0004】 一方、複数の半導体チップを上下に配置してパッケージングし、半導体装置の高密度実装を行う方法が提案されている。

【0005】 しかし、上下に配置した半導体チップをパッケージ内で外部に接続するリードと接続する配線スペースが必要であり、この配線スペースを極力小さくすることが望まれている。

【0006】

【従来の技術】 図5は、従来の半導体装置の構成を示す。複数の半導体チップを有する半導体装置1には、リードフレーム2の中央開口部にシリコンで形成される第一及び第二の半導体チップ3_a、3_bが配置されている。この第一及び第二の半導体チップ3_a、3_bは、互いのシリコン背面が接合した状態となっている。

【0007】 また、第一及び第二の半導体チップ3_a、3_bの表面には、接続用電極としてのパンプ4が形成されており、それぞれ、足曲げ加工されたテープリード5_a、5_bの一端に接続（インナ・リード・ボンディング）されている。そして、テープリード5_a、5_bの他端はリードフレーム2のアウトリード6に熱圧着（アウト・リード・ボンディング）され、封止樹脂7により樹脂封止されている。

【0008】

【発明が解決しようとする課題】 このように、従来の半導体装置1は、半導体チップ3_a、3_bとアウトリード6とを接続するためのテープリード5_a、5_bを有しており、テープリード5_aは上方に足曲げ加工が施されており、テープリード5_bは下方に足曲げ加工が施されて半導体チップ3_aの表面側に接続され、テープリード5_aは下方に足曲げ加工が施されて半導体チップ3_bの表面側に接続されている。

【0009】 このテープリード5_a、5_bの足曲げ加工部は、半導体装置1内にパッケージングされるため、半導体装置1はパッケージ内に足曲げ加工部を収容するスペースを必要としている。したがって、その分半導体装置1の面積は増大し、また、高さ寸法も大きくなっている。

【0010】 そこで、本発明は上記課題に鑑みなされたもので、複数の半導体チップを上下に配置し、且つリードとの配線スペースを減少させることにより小型化された半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】 上記課題を解決するため、請求項1の発明は、2つの半導体チップが上下に位置し、且つその表面が互に対向するように配置され、2つの半導体チップの間に、両面に配線が形成されたテープが配置されており、各々の半導体チップと外部とを接続するリードとが接続され、封止樹脂により樹脂封止された構成とする。

【0012】 請求項2の発明は、前記テープは基材に貫通孔を有しており、貫通孔の側面に形成された配線により前記テープの両面に形成された配線が接続され、前記半導体チップ同士が電気的に接続された構成とする。

【0013】

【作用】 請求項1の発明において、2つの半導体チップの表面が対向して配置され、両面に配線が形成されたテープが2つの半導体チップの間に配置され、このテープによって各々の半導体チップがリードと接続された構成は、2つの半導体チップの接続部を近接して位置させ、2つの半導体チップを一枚のテープだけでリードと接続し、配線スペースを減少させる。

【0014】 請求項2の発明において、貫通孔により両面に形成された配線が接続された構成は、テープの両面に配置された2つの半導体チップ同士を電気的に接続する。

【0015】

【実施例】 図1は本発明の一実施例の構成を示す。同図において、図5の従来例と同じ構成部品には同一の符号を付し、その説明は省略する。

【0016】 2つの半導体チップ3_a、3_bには電気的接続をおこなうためのパンプ4が各々の表面に形成されている。そして、2つの半導体チップ3_aと3_bの間には、両面に電気接続配線としてのリードパターン14、

16が形成されたエリアTABテープ12が位置している。

【0017】半導体チップ3_aは、エリアTABテープ12のリードパターン14の形成された側から搭載され、パンプ4がエリアTABテープ12の基材であるポリイミドテープ13を貫通して形成された開孔部15内に位置してリードパターン16に接続されている。この開孔部15の側面にはリードが形成されており、半導体チップ3_aのパンプ4が接続されたリードパターン16を、反対側のリードパターン14に接続している。また、半導体チップ3_aは、エリアTABテープ12の半導体チップ3_aが接続された面と反対側の、リードパターン16が形成された側から搭載され、パンプ4が開孔部17内に位置してリードパターン14に接続されている。

【0018】そして、エリアTABテープ12の端部まで延在したリードパターン14は、リードフレーム2のアウトリード6に接続され、半導体チップ3_a、3_bとエリアTABテープ12は封止樹脂7により樹脂封止されている。

【0019】このように、本実施例の半導体装置1では、エリアTABテープ12の両面を使用して2つの半導体チップ3_a、3_bとアウトリード6とを接続しているため、従来のようにテープを2枚使用してそれぞれに曲げ加工を施す必要は無い。よって、この曲げ加工に必要なパッケージ内のスペースを省く事ができ、半導体チップが上下に配置されてパッケージングされた半導体装置の面積を減少させ、且つ高さ法も小さくすることができる。

【0020】次に、図2及び図3と共にエリアTABテープ12の形状および製造方法について説明する。

【0021】図2は、エリアTABテープ12の拡大断面図であり、図3は、エリアTABテープ12の製造工程図を示す。

【0022】まず、前処理のされた基材となるポリイミドテープ13の片面に、露光、現像によりフォトリソパターンを形成する(ステップ1)。次に、銅メッキによりリードパターン14を形成する(ステップ2)。そして、ポリイミドテープ13にエッチングにより開孔部15を形成する(ステップ3)。

【0023】以上の工程をポリイミドテープ13の反対側の面に対して施してリードパターン16、開孔部17を形成する(ステップ4、5、6)。

【0024】そして、開孔部15、17にリードパターン14、16同士を接続するために再びフォトリソパターンを露光、現像し(ステップ7)、開孔部15、17の側面に銅メッキによりリード18を形成する(ステップ8)。その後、電気的接続性を向上させるために、形成されたリードにスズ、金等のメッキが施され(ステップ9)エリアTABテープ12ができあがる。図4は、エ

リアTABテープ12のリードパターンを示す拡大平面図である。図中、実線で示したリードパターン14は、半導体チップ3_a側に形成されたリードパターンを表し、破線で示したリードパターン16はその裏側の半導体チップ3_b側のリードパターンを表している。また、各リードパターン14、16の先端あるいは先端付近に位置する円形の部分は、半導体チップ3_aの表面に形成されたパンプ4が位置する開孔部17(図2参照)であり、二重の円で示された部分は半導体チップ3_aのパンプ4が位置する開孔部15(図2参照)である。

【0025】リードパターン14は半導体チップ3_a、3_bのパンプ4とリードフレーム2のアウトリード6とを接続する機能を果たし、裏側のリードパターン16は半導体チップ3_a上のパンプ4同士、あるいは半導体チップ3_b上のパンプ4同士を接続する機能を果たすと共に、半導体チップ3_aと3_bのパンプ4も接続している。

【0026】このように、エリアTABテープ12が開孔部15、17を有し、その側面にリード18(図2参照)が形成されてエリアTABテープ12の両面のリードパターン14、16を接続することによって配線の自由度が増し、従来半導体チップの外側に配線していた部分をエリアTABテープ12上に配線することができるため、パッケージ内の配線スペースを減少させることができる。

【0027】また、従来パッケージ内で配線を引き回す方法としてセラミックパッケージが知られているが、本実施例の如く、エリアTABテープを使用して配線を施し、樹脂封止によってパッケージングすれば、高価なセラミックパッケージに比較して安価に半導体装置を製造することができる。

【0028】

【発明の効果】上述の如く、請求項1の発明によれば、両面に配線が形成されたテープを2つの半導体チップの間に配置し、その両面の配線を使用して2つの半導体チップをリードに接続することにより、一枚のテープだけで2つの半導体チップをリードに接続することができる。よって、配線用のスペースが減少し、半導体装置の小型化及び薄型化を図ることができる。

【0029】また、請求項2の発明によれば、テープの両面に形成された配線を、テープの貫通孔に沿って形成されたリードによって接続することにより、2つの半導体チップ同士をテープ上で接続することができ、配線の自由度が増して配線用のスペースが減少し、半導体チップの小型化を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す図である。

【図2】図1の実施例のエリアTABテープを示す断面図である。

【図3】図1の実施例のエリアTABテープの製造工程

図である。

【図4】図1の実施例のエリアTABテープのリードパターンを説明する図である。

【図5】従来の半導体装置の構成を示す図である。

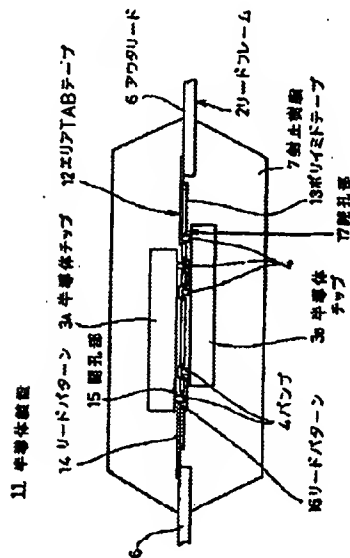
【符号の説明】

- 1 半導体装置
- 2 リードフレーム
- 3、 第一の半導体チップ
- 3、 第二の半導体チップ
- 4 パンプ

- 5、 5、 テープリード
- 6 アウタリード
- 7 封止樹脂
- 11 半導体装置
- 12 エリアTABテープ
- 13 ポリイミドテープ
- 14 リードパターン
- 15、 17 開孔部
- 16 リードパターン
- 18 リード

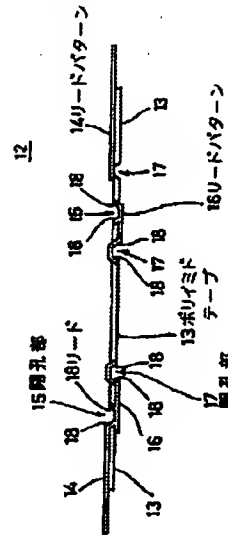
【図1】

本発明の一実施例の構成図



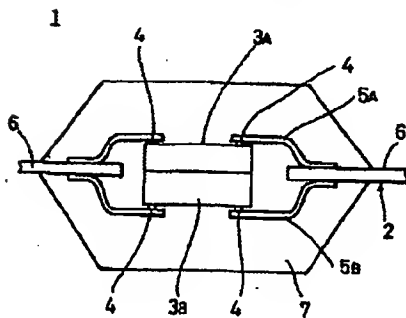
【図2】

図1の実施例のエリアTABテープを示す断面図



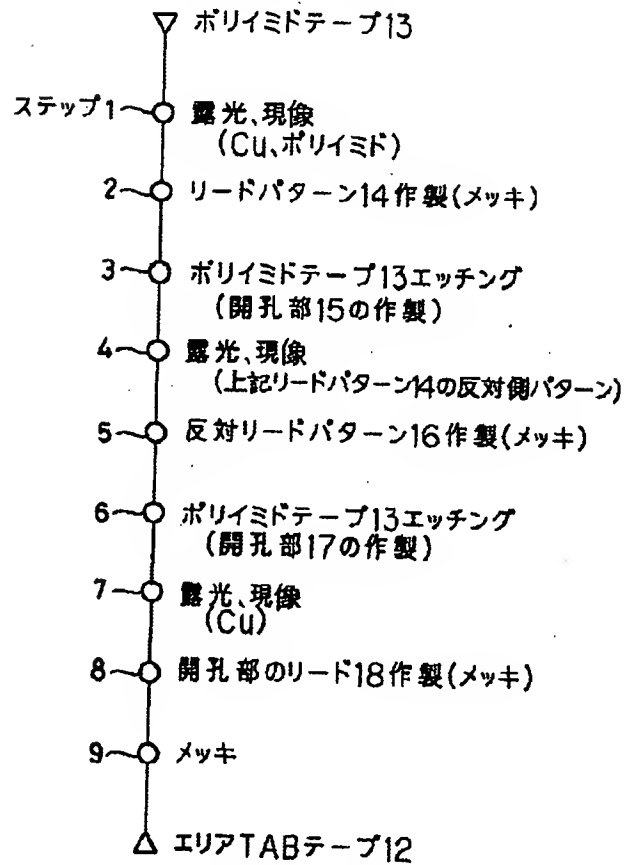
【図5】

従来例の半導体装置の構成図



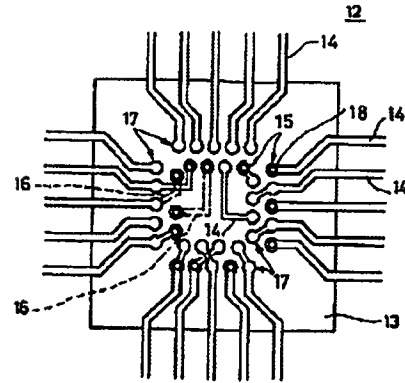
【図3】

図1の実施例に使用されているエリアTAB
テープの製造工程図



【図4】

図1の実施例のエアTABテープの
リードパターンを示す図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.